

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-093076

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H01L 29/78

(21)Application number : 08-246531

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 18.09.1996

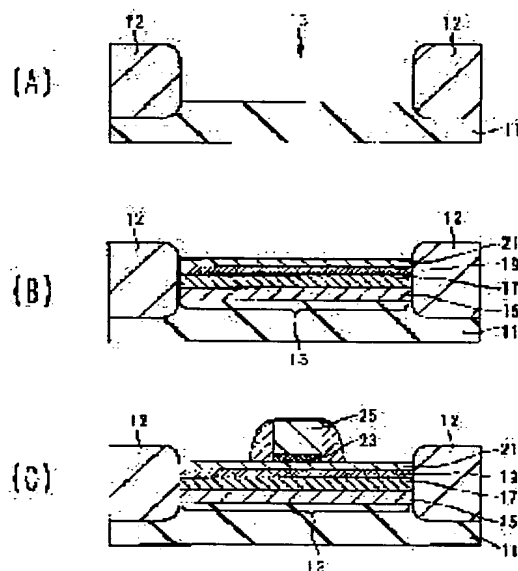
(72)Inventor : HISAWA KAZUYA
MATSUHASHI HIDEAKI
NAKAMURA TOSHIYUKI

(54) MOS FIELD-EFFECT TRANSISTOR AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a MOS field-effect transistor which can control its threshold voltage and can operate at a high speed by suppressing enhanced diffusion of boron (B) at the time of fabricating the transistor.

SOLUTION: The MOS field-effect transistor has a buffer layer 15 formed on a semiconductor substrate 11 and containing borons(B) as impurities, a channel layer 17 provided on an upper side of the buffer layer 15, a cap layer 21 provided on an upper side of the channel layer 17, a gate oxide film 23 and a gate electrode 25 sequentially provided on the cap layer 21. In the transistor, there is disposed a carbon introduction layer 19 between the channel layer 17 and the cap layer 21 as a trap layer 19, which contains carbon(C) atoms for trapping interstitial atoms generated in the vicinity of an interface between the gate oxide film 23 and the cap layer 21, at the time of forming the gate oxide film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-93076

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.⁶

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 H

審査請求 未請求 請求項の数17 O L (全 10 頁)

(21) 出願番号 特願平8-246531

(22) 出願日 平成8年(1996) 9月18日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 氷沢 和也

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 松橋 秀明

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 中村 稔之

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

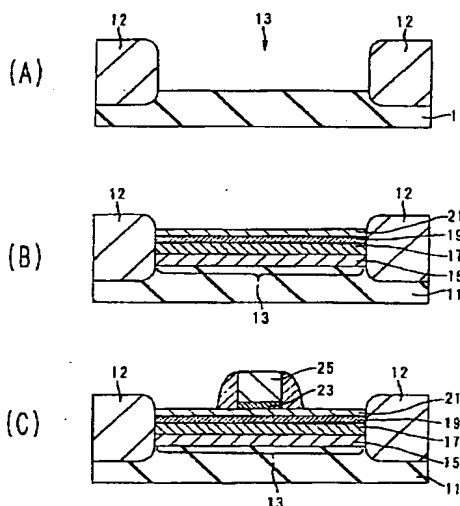
(74) 代理人 弁理士 大垣 孝

(54) 【発明の名称】 MOS型電界効果トランジスタおよびMOS型電界効果トランジスタの製造方法

(57) 【要約】 (修正有)

【課題】 しきい値電圧の制御ができ、かつ製造時にB(ボロン)の増速拡散を抑えて高速動作を可能としたMOS型電界効果トランジスタを提供すること。

【解決手段】 半導体基板11上にボロン(B)を不純物として含有するバッファ層15と、このバッファ層の上側に設けられたチャネル層17と、このチャネル層の上側に設けられたキャップ層21と、このキャップ層上に順次に設けられたゲート酸化膜23およびゲート電極25とを具えるMOS型電界効果トランジスタにおいて、チャネル層17に隣接させて、ゲート酸化膜の形成時にゲート酸化膜23とキャップ層21との界面付近に発生するインターstitial原子をトラップするカーボン(C)原子を含むトラップ層19としてカーボン導入層19を介在させてある。



11: Si基板
13: アクティブ領域
17: チャネル層 (SiGe層)
19: トラップ層 (カーボン導入 (Si) 層)
21: キャップ層 (ノン・ドープSi層)
23: ゲート酸化膜
12: 分離領域
15: バッファ (Si) 層
25: ゲート電極

第1の実施の形態

【特許請求の範囲】

【請求項1】 半導体基板上にボロン（B）を不純物として含有するバッファ層と、該バッファ層の上側に設けられたチャンネル層と、該チャンネル層の上側に設けられたキャップ層と、該キャップ層上に順次に設けられたゲート酸化膜およびゲート電極とを具えるMOS型電界効果トランジスタにおいて、前記チャンネル層に隣接させて、トラップ層として、カーボン（C）導入層を介在させてあることを特徴とするMOS型電界効果トランジスタ。

【請求項2】 請求項1に記載のMOS型電界効果トランジスタにおいて、前記トラップ層を前記チャンネル層とキャップ層との間に設けたことを特徴とするMOS型電界効果トランジスタ。

【請求項3】 請求項1に記載のMOS型電界効果トランジスタにおいて、前記トラップ層を前記バッファ層とチャンネル層との間に設けたことを特徴とするMOS型電界効果トランジスタ。

【請求項4】 請求項1に記載のMOS型電界効果トランジスタにおいて、前記半導体基板をシリコン（Si）基板とし、前記バッファ層をボロン（B）含有シリコン層とし、前記チャンネル層をシリコンゲルマニウム（SiGe）層とし、前記キャップ層をノン・ドープシリコン層とし、前記トラップ層をカーボン（C）導入シリコン層とすることを特徴とするMOS型電界効果トランジスタ。

【請求項5】 半導体基板上にボロン（B）を不純物として含有するバッファ層と、該バッファ層の上側に設けられたチャンネル層と、該チャンネル層の上側に設けられたキャップ層と、該キャップ層上に順次に設けられたゲート酸化膜およびゲート電極とを具えるMOS型電界効果トランジスタにおいて、前記バッファ層とチャンネル層との界面にカーボン（C）が存在していることを特徴とするMOS型電界効果トランジスタ。

【請求項6】 半導体基板上にボロン（B）を不純物として含有するバッファ層と、該バッファ層の上側に設けられたチャンネル層と、該チャンネル層の上側に設けられたキャップ層と、該キャップ層上に順次に設けられたゲート酸化膜およびゲート電極とを具えるMOS型電界効果トランジスタにおいて、前記チャンネル層とキャップ層との界面にカーボン（C）が存在していることを特徴とするMOS型電界効果トランジスタ。

【請求項7】 請求項5または請求項6に記載のMOS型電界効果トランジスタにおいて、前記半導体基板をシリコン（Si）基板とし、前記バッファ層をボロン（B）含有シリコン層とし、前記チャ

ネル層をシリコンゲルマニウム（SiGe）層とし、前記キャップ層をノン・ドープシリコン層とすることを特徴とするMOS型電界効果トランジスタ。

【請求項8】 請求項2に記載のMOS型電界効果トランジスタを製造するにあたり、前記半導体基板のアクティブ領域上に前記バッファ層を形成する工程と、前記バッファ層上に前記チャンネル層を形成する工程と、

10 前記チャンネル領域上にトラップ層としてカーボン（C）導入層を形成する工程と、

前記トラップ層上に前記キャップ層を形成する工程と、前記キャップ層上に前記ゲート酸化膜および該ゲート酸化膜上に前記ゲート電極を順次に形成する工程とを含むことを特徴とするMOS型電界効果トランジスタの製造方法。

【請求項9】 請求項8に記載のMOS型電界効果トランジスタの製造方法において、

前記半導体基板をシリコン（Si）基板とした場合に、前記カーボン（C）導入層を形成するための原料ガスを、SiH₄、ガスと、

アセチレン、メタン、エタン、プロパン、CCl₄、（四塩化炭素）および、CBr₄、（四臭化炭素）のカーボン含有ガスから選ばれた1種類のカーボン含有ガスとの混合ガスとすることを特徴とするMOS電界効果トランジスタの製造方法。

【請求項10】 請求項3に記載のMOS型電界効果トランジスタを製造するにあたり、

30 前記半導体基板のアクティブ領域上に前記バッファ層を形成する工程と、

前記バッファ層上にトラップ層としてカーボン（C）導入層を形成する工程と、

前記トラップ層上に前記チャンネル層を形成する工程と、前記チャンネル層上に前記キャップ層を形成する工程と、前記キャップ層上に前記ゲート酸化膜および該ゲート酸化膜上に前記ゲート電極を順次に形成する工程とを含むことを特徴とするMOS型電界効果トランジスタの製造方法。

40 【請求項11】 請求項10に記載のMOS型電界効果トランジスタの製造方法において、

前記半導体基板をシリコン（Si）基板とした場合に、前記カーボン（C）導入層を形成するための原料ガスを、

SiH₄、ガスと、アセチレン、メタン、エタン、プロパン、CCl₄、（四塩化炭素）および、CBr₄、（四臭化炭素）のカーボン含有ガスから選ばれた1種類のカーボン含有ガスとの混合ガスとすることを特徴とするMOS電界効果トランジスタの製造方法。

【請求項12】 半導体基板上にボロン(B)を不純物として含むバッファ層と、該バッファ層の上側に設けられたキャップ層と該キャップ層上に順次に設けられているゲート酸化膜およびゲート電極とを具えるMOS型電界効果トランジスタにおいて、前記バッファ層と前記キャップ層との間に、トラップ層として、カーボン導入層を介在させてあることを特徴とするMOS型電界効果トランジスタ。

【請求項13】 請求項12に記載のMOS型電界効果トランジスタにおいて、

前記半導体基板をシリコン(Si)基板とし、前記バッファ層をボロン(B)含有シリコン層とし、前記キャップ層をノン・ドープシリコン層とし、前記トラップ層をカーボン(C)導入シリコン層とすることを特徴とするMOS型電界効果トランジスタ。

【請求項14】 請求項12に記載のMOS型電界効果トランジスタを製造するにあたり、前記半導体基板のアクティブ領域上に前記バッファ層を形成する工程と、前記バッファ層上にトラップ層としてカーボン導入層を形成する工程と、前記トラップ層上に前記キャップ層を形成する工程と、前記キャップ層上に前記ゲート酸化膜および該ゲート酸化膜上に前記ゲート電極を順次に形成する工程とを含むことを特徴とするMOS型電界効果トランジスタの製造方法。

【請求項15】 請求項12に記載のMOS型電界効果トランジスタの製造方法において、

前記半導体基板をシリコン(Si)基板とした場合に、前記カーボン(C)導入層を形成するための原料ガスを、SiH₄ガスと、アセチレン、メタン、エタン、プロパン、CCl₄、(四塩化炭素)および、CBr₄、(四臭化炭素)のカーボン含有ガスから選ばれた1種類のカーボン含有ガスとの混合ガスとすることを特徴とするMOS電界効果トランジスタの製造方法。

【請求項16】 半導体基板上にボロン(B)を不純物として含むバッファ層と、該バッファ層の上側に設けられたキャップ層と、該キャップ層上に順次に設けられたゲート酸化膜およびゲート電極とを具えるMOS型電界効果トランジスタにおいて、前記バッファ層と前記キャップ層との界面にカーボンが存在していることを特徴とするMOS型電界効果トランジスタ。

【請求項17】 請求項16に記載のMOS型電界効果トランジスタにおいて、

前記半導体基板をシリコン(Si)基板とし、前記バッファ層をボロン(B)含有シリコン層とし、前記キャップ層をノン・ドープシリコン層とすることを特徴とす

るMOS型電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、MOS型電界効果トランジスタ、特にMOS型電界効果トランジスタ用の下地、およびMOS型電界効果トランジスタの製造方法に関するものである。

【0002】

【従来の技術】シリコンデバイス技術において、シリコンの格子中に導入した不純物であるボロン(B)の増速拡散は、不純物イオンの注入時あるいは後に行う熱酸化時に生成されるSiのインタースティシャル原子(interstitial原子：以下侵入原子とも称する。)により引き起こされるということが明らかにされており、このボロン(B)の増速拡散を抑えるためにC(カーボン)をシリコンの格子内に導入することが、例えば文献：P.A.Stolk et al. : Carbon incorporation in silicon for suppressing interstitial-enhanced boron diffusion, Appl. Phys. Lett. 66, P.1370(1995) に提案されている。これによると、C(カーボン)はインタースティシャル原子のトラップとして働き、インタースティシャル原子の拡散を防ぐためB(ボロン)の増速拡散が抑えられる。

【0003】従来のSiGe pMOSFET(シリコンゲルマニウム pチャネルMOS型電界効果トランジスタ)は、基板上にバッファ層、チャネル層およびキャップ層を順次に設けてなる下地上にゲート酸化膜を介してゲート電極を設けた構造を有している。このトランジスタのしきい値電圧を制御するために下地のバッファ層に導入された不純物(ここではボロン(B)を用いている。)は、ゲート酸化膜形成時にキャップ層とゲート酸化膜との界面付近に発生し、バッファ層へ拡散するインタースティシャル原子によって、増速拡散してチャネル層にまで分布する。このチャネル層にまで分布したボロン(B)はチャネル内の正孔移動度を低下させ、SiGeチャネルによる効果、すなわち高速性を著しく低減してしまう。このため、上述したカーボン(C)をバッファ層に導入すれば、インタースティシャル原子の拡散を抑えることができ、ボロンの増速拡散も抑えることが可能となる。

【0004】

【発明が解決しようとする課題】しかし、熱処理によって、ボロン(B)を活性化させるときに、カーボン(C)を導入したバッファ層内においては、ボロン(B)の拡散までカーボン(C)が止めてしまうためにボロン(B)の活性化率が低くなる。ボロン(B)の活性化率が低いと、ボロン(B)は格子位置に収まることができないため、正孔が生成されず、しきい値電圧を制御することができなくなるという問題があった。このため、しきい値電圧の制御ができ、かつ製造時にB(ボロン)の増速拡散が抑えられて高速動作が担保されるよう

なMOS型電界効果トランジスタおよびMOS型電界効果トランジスタの製造方法の出現が望まれていた。

【0005】

【課題を解決するための手段】したがって、この発明によれば、半導体基板上にボロン(B)を不純物として含有するバッファ層と、このバッファ層の上側に設けられたチャンネル層と、このチャンネル層の上側に設けられたキャップ層とで下地を構成し、該下地のキャップ層上に順次に設けられたゲート酸化膜およびゲート電極とを具えるMOS型電界効果トランジスタ(以下MOSFETと称する。)において、チャンネル層に隣接させてトラップ層としてカーボン(C)導入層を介在させてあることを特徴とする。

【0006】このような構成の下地にゲート電極を形成するとき、まず、キャップ層上にゲート酸化膜を形成し、その後、ゲート酸化膜上にゲート電極を形成する。その場合、ゲート酸化膜形成時の熱処理によってゲート酸化膜とキャップ層との界面付近に発生するインタースティシアル原子(interstitial原子:以下侵入原子とも称する。)はその下に設けたトラップ層に拡散していく。このトラップ層はトラップ原子としてカーボン(C)が導入されているため、このカーボン(C)が拡散してきた侵入原子のトラップとして働く。このため侵入原子の拡散をトラップ層で抑えることができる。従って不純物であるボロン(B)が導入されているバッファ層に侵入原子が拡散されることはないため、侵入原子によって引き起こされるボロン(B)の増速拡散を防ぐことができる。よってチャンネル層にまでボロン(B)の増速拡散が及ぶという事態を避けることができ、チャンネル効果すなわち高速動作は十分保たれる。また、バッファ層とトラップ層とは個別の層として設けられているため、バッファ層にボロン(B)の活性化を妨げるカーボン(C)は存在しない。よってボロン(B)の活性化率はほぼ100%となり、FETのしきい値電圧を制御することができる。

【0007】また、この発明では好ましくは、上記トラップ層をチャンネル層とキャップ層との間に設けるのが良い。

【0008】この場合、MOSFETの製造方法には、①半導体基板のアクティブ領域上にバッファ層を形成し、②次にバッファ層上にチャンネル層を形成した後、③チャンネル層上にトラップ層を形成し、④トラップ層上にキャップ層を形成し、⑤キャップ層上にゲート酸化膜およびこのゲート酸化膜上にゲート電極を順次に形成するという5工程が含まれている。

【0009】また、半導体基板をシリコン(Si)基板とした場合に、トラップ層(カーボン導入層)を形成するための原料ガスをSiH₄、ガスと、アセチレン、メタン、エタン、プロパン、CCl₄、(四塩化炭素)および、CBr₄、(四臭化炭素)のカーボン含有ガスから選

ばれた1種類のカーボン含有ガスとの混合ガスとすることを特徴とする。これにより、トラップ層は、カーボン(C)が好ましい状態で含有された層として、容易に形成することができる。既に説明したように、キャップ層内からトラップ層へ拡散してきた侵入原子はトラップ層内に導入されたカーボンによってトラップされ、この侵入原子のトラップ層より下層への拡散を抑える。よってバッファ層内およびチャンネル層内へのボロンの増速拡散を防ぐことができFETの高速動作を十分保つことができる。また、バッファ層内でのボロンの活性化率はほぼ100%となり、しきい値電圧を制御することができる。また、トラップ層上にキャップ層が設けられているため、ゲート酸化膜形成時にゲート酸化膜中にカーボンが導入されるのを防ぐ役割を果たしており、ゲート酸化膜とキャップ層との界面準位は変動しないため、しきい値電圧への悪影響をなくすることができる。

【0010】また、それぞれの層を順次別に例えばエビタキシャル成長技術を用いて形成して、しかも、バッファ層とトラップ層とは分離されているので、カーボンがバッファ層中に存在してボロンの活性化率を下げたりすることはなくなる。また、この発明ではバッファ層とチャンネル層との間にトラップ層を設けるのが好適である。

【0011】この構成であると、バッファ層の上層がトラップ層であるため、バッファ層内に侵入原子が拡散するのを防ぎ、これによりバッファ層内でのボロンの増速拡散を防ぐことができるため、チャンネル層にボロンが拡散されることもない。よって、FETのチャンネルのキャリア移動度の高さを十分保つことができる。また、この場合、チャンネル層上にキャップ層が設けられている。チャンネル層は、キャリア移動度を高くするために、例えばSiGeを用いた層となっている。従ってこのキャップ層はゲート酸化膜形成時にゲート酸化膜中にGeが導入されるのを防ぐ役割を果たしており、ゲート酸化膜とキャップ層との界面準位は変動しないため、FETのしきい値電圧への影響もなくなる。また、バッファ層とトラップ層とは個別の層として形成されているためバッファ層内でのボロンの活性化率はほぼ100%となるためしきい値を十分制御することができる。

【0012】また、この場合のMOSFETの製造方法には、①半導体基板上のアクティブ領域上にバッファ層を形成し、②バッファ層上にトラップ層を形成し、③トラップ層上にチャンネル層を形成し、④チャンネル層上にキャップ層を形成し、⑤キャップ層上にゲート酸化膜およびこのゲート酸化膜上にゲート電極を順次に形成するという5工程が含まれている。

【0013】上記②の工程で、半導体基板をシリコン(Si)基板とした場合にトラップ層(カーボン(C)導入層)を形成するための原料ガスは、SiH₄、ガスと、アセチレン、メタン、エタン、プロパン、CCl₄、

(四塩化炭素) および、 CBr_4 (四臭化炭素) のカーボン含有ガスから選ばれた1種類のカーボン含有ガスとから構成されている。これにより、トラップ層はカーボン(C)が好ましい状態で含有されている層として容易に形成することができる。

【0014】また、この発明の好ましい例では、トラップ層に含有させるトラップ原子をカーボン(C)とし、したがって、トラップ層をカーボン導入層とするのが良い。

【0015】このため、導入されているカーボンはトラップ層内に拡散しているシリコンのインターステシヤル原子(侵入原子)との強い相互作用により、侵入原子のトラップとして働く。よって、トラップ層の下層に位置するボロンの導入されたバッファ層に侵入原子が拡散するのを防ぐことができ、ボロンのバッファ層およびチャネル層への増速拡散を抑えることができ、FETの高速動作を確実に担保することができる。

【0016】また、上述したMOSFET用の下地において、好ましくは、半導体基板をシリコン(Si)基板とし、バッファ層をボロン(B)含有シリコン層とし、チャネル層をシリコンゲルマニウム(SiGe)層とし、キャップ層をノン・ドープシリコン層とし、トラップ層をカーボン(C)導入層とするのがよい。

【0017】バッファ層に含まれているボロンはアクセプタ不純物で、シリコン格子点に収まり正孔を発生するため、FETのしきい値電圧を制御するために導入されている。シリコンゲルマニウムはシリコンのみよりもバルク状態において正孔移動度が高いため、チャネル領域として用いられる。キャップ層はノン・ドープ層、つまり不純物が導入されていないシリコン層である。よってゲート酸化膜形成時(熱酸化時)に不要な不純物がキャップ層からゲート酸化膜中に入り込む恐れはない。トラップ層内に導入されたトラップ原子としてのカーボンが、ゲート酸化膜形成時にキャップ層とゲート酸化膜との界面に発生して下層へ拡散してきたシリコン(Si)原子すなわち侵入原子のトラップとして働き、その結果、このカーボン導入層がバッファ層への侵入原子の拡散を防いでいる。これによりしきい値電圧制御用不純物としてのボロンの増速拡散も抑えることができる。

【0018】また、この発明の好適実施例として考えられるMOSFET用の下地の構造によれば、カーボンが導入しているトラップ層を設ける代わりに、チャネル層とバッファ層との界面にカーボンを存在させるのがよい。

【0019】この場合においてもカーボンは上層から拡散してきた侵入原子のトラップとして働くので、侵入原子の、下層への拡散を抑えることができる。

【0020】また、チャネル層とキャップ層との界面にカーボンを存在させてもよい。

【0021】また、トラップ層を設けない場合のMOS

FET用の下地は、半導体基板をシリコン基板とし、バッファ層をボロン含有シリコン層とし、チャネル層をシリコンゲルマニウム層とし、キャップ層をノン・ドープシリコン層とするといよい。

【0022】また、この発明の好適例では、半導体基板とゲート酸化膜との間に下層から、バッファ層、キャップ層の順に少なくとも2層を例えばエビタキシャル成長技術を用いて堆積させてなるMOSFETにおいて、バッファ層とキャップ層との間にトラップ層を設けるのが良い。

【0023】この場合のMOSFETの製造方法には、①半導体基板のアクティブ領域上にバッファ層を形成し、②このバッファ層上にトラップ層としてカーボン(C)導入層を形成し、③トラップ層上にキャップ層を形成し、④キャップ層上にゲート酸化膜およびこのゲート酸化膜上にゲート電極を順次に形成するという4工程が含まれている。

【0024】この場合、不純物を含むバッファ層にチャネル領域が形成される。新たに設けられたトラップ層は、やはりゲート酸化膜形成時にゲート酸化膜とキャップ層との界面に発生する侵入原子の拡散を抑える層となる。また、キャップ層はトラップ層のカーボンがゲート酸化膜中へ導入されるのを防いでいる。したがって、前述と同様にFETのしきい値電圧制御と高速動作を十分に担保することができる。

【0025】また、上記②の工程で、半導体基板をシリコン(Si)基板とした場合にトラップ層(カーボン(C)導入層)を形成するための原料ガスは、 SiH_4 、ガスと、アセチレン、メタン、エタン、プロパン、 CCl_4 、(四塩化炭素)および、 CBr_4 、(四臭化炭素)のカーボン含有ガスから選ばれた1種類のカーボン含有ガスとから構成されている。これにより、トラップ層はカーボン(C)が好ましい状態で含有されている層として形成することができる。

【0026】この発明では半導体基板をシリコン基板とし、バッファ層をボロン含有シリコン層とし、キャップ層をノン・ドープシリコン層とし、トラップ層をカーボン導入シリコン層とする。

【0027】また、半導体基板のゲート酸化膜との間に少なくとも2層(バッファ層およびキャップ層)を堆積させてなるMOSFETにおいて、トラップ層を設ける代わりに、この2層間の界面にカーボンを存在させてもよい。

【0028】このMOSFETは半導体基板をシリコン基板とし、バッファ層をボロン含有シリコン層とし、キャップ層をノン・ドープシリコン層とするといよい。

【0029】

【発明の実施の形態】以下、図を参照して、この発明の半導体装置の構造およびその製造方法の実施の形態につき説明する。なお、各図はこの発明が理解できる程度に

各構成成分の形状、大きさおよび配置関係を概略的に示しているにすぎない。また、以下の説明において、特定の材料および条件を用いるが、これらの材料および条件は好適な実施の形態の例に過ぎず、したがってこの発明ではなんらこれに限定されるものではない。

【0030】<第1の実施の形態>図1はこの発明の第1の実施の形態であるSiGe_pMOSFETの製造工程を、断面図をもって概略的に示した工程図である。

【0031】まず、半導体基板としてSi基板11を用い、このSi基板11上に、既知の技術を用いて分離領域12を設けてアクティブ領域13を形成する(図1(A))。次に、前処理として基板11を真空中で、950℃の温度で熱処理した後、例えばUHV-CVD装置を用いてボロン(B)を不純物として含有するバッファ層としてボロン含有(バッファSi層ともいう。)Si層15を基板11のアクティブ領域13上に選択的にエピタキシャル成長させる。この成長は、例えば基板温度を574℃とし、また、原料ガスとしてSiH₄、ガスおよびB₂H₆、ガスの混合ガスを用いる。バッファSi層15の膜厚は例えば100Å(10nm)、ボロン濃度は例えば10¹⁹(原子/cm³)以下、単に(c

m³)とする)とする。

【0032】次に、バッファSi層15上にチャンネル層(SiGe層)17を選択的にエピタキシャル成長させる。この場合にも基板温度を例えば574℃とし、また、原料ガスとして、SiH₄、ガスおよびGeH₄、ガスの混合ガスを用いる。SiGe層17の膜厚は例えば100Å(10nm)、SiGe層17中のGe濃度は例えば、原子数の比Si:Ge=3:1となるようにする。

【0033】次にこのチャンネル層17に隣接させて、この例では、チャンネル層17上にトラップ層としてカーボン(C)導入層を設ける。ここでは、SiH₄、ガスおよび、例えばアセチレンガス(アセチレン、メタン、エタン、プロパン、CCl₄、(四塩化炭素)およびCBr₄、(四臭化炭素)の炭素含有ガスから選ばれた1種類の炭素含有ガス)の混合ガスを原料ガスとして用いて、トラップ層としてカーボン導入Si層19をSiGe層17上に選択的に、基板温度574℃でエピタキシャル成長させる。このカーボン導入層19の膜厚は例えば50Å(5nm)とし、カーボン濃度は例えば2×10¹⁹cm³と

する。

【0034】次にこのカーボン導入Si層19上にSiH₄、ガスを原料ガスとして用いてキャップSi層(ノン・ドープSi層とも称する。)21を例えば、50Å(5nm)エピタキシャル成長させる(図1(B))。

【0035】次に熱酸化によりゲート酸化膜23をキャップSi層21上に例えば50Å(5nm)の膜厚で形成する。その後、ゲート酸化膜23上に既知の技術を用いてポリシリコンを例えば3000Å(300nm)の膜厚に堆積させ、ゲート電極25をこのポリシリコン層のバ

ターニングにより形成する(図1(C))。

【0036】その後、サイドウォール、主電極領域(ソース領域、ドレイン領域)、層間膜、コンタクト、メタル配線、その他所要の処理を行って、SiGe_pMOSFETを完成させる。

【0037】以上の方法により作成したSiGe_pMOSFETのバッファSi層15中にはカーボン(C)が導入されていないため、アクセプタ不純物であるボロンの活性化率はほぼ100%となり、ボロンは格子位置に収まり、正孔を生成する。このため、FETのしきい値電圧を制御することができ、またSiGe層17のチャンネル形成領域を制御することもできる。また、カーボンを導入したSi層19を設けている。このカーボンがゲート酸化膜23の形成時に発生するインターstitial原子(侵入原子)のトラップとして働くため、侵入原子がバッファSi層15にまで拡散されない。このためボロンの増速拡散を防ぐことができる。したがってチャンネル領域であるSiGe層17には不純物がいないため、移動度が低下することなくなる。よってSiGeチャンネル層での高速性すなわちFETの高速動作を保つことができる。また、カーボン導入Si層19上にキャップSi層21を設けてあり、これによりゲート酸化時にカーボン導入Si層19を酸化することを防ぎ、ゲート酸化膜23中へカーボンが入り込むのを防ぐことができる。このためゲート酸化膜23とキャップSi層21間の界面準位の変動を抑えられるため、FETのしきい値電圧の変動もなくなる。

【0038】<第2の実施の形態>第2の実施の形態として、SiGe_pMOSFETのアクティブ領域上の層構造が第1の実施の形態とは少し異なる例を挙げる。図2はこの装置の製造工程を概略的に表している断面図である。

【0039】まず、第1の実施の形態と同様にして、Si基板11上に、既知の技術を用いてアクティブ領域13を形成する(図2(A))。次に、基板11を熱処理した後、例えばUHV-CVD装置を用いて基板11のアクティブ領域13上にボロンを不純物として含有するバッファSi層15を選択的に、エピタキシャル成長させる。この場合、基板温度を例えば574℃とし、また、SiH₄、ガスおよびB₂H₆、ガスの混合ガスを原料ガスとして用いる。バッファSi層15の膜厚は例えば100Å(10nm)とし、ボロン濃度は例えば10¹⁹(cm³)とする。

【0040】次にこの例ではSiH₄、ガスおよび、例えばアセチレンガス(アセチレン、メタン、エタン、プロパン、CCl₄、(四塩化炭素)およびCBr₄、(四臭化炭素)の炭素含有ガスから選ばれた1種類のカーボン含有ガス)の混合ガスを用いて、トラップ層19をバッファSi層15上に選択的に、例えば基板温度574℃でエピタキシャル成長させる。このカーボン導入層19

11

の膜厚は例えば50Å(5nm)とし、カーボン濃度は例えば 2×10^{20} (cm⁻³)とする。ここでは、このトラップ層19はカーボン(C)含有Si層であるのでカーボン(C)導入Si層ともいう。

【0041】次にこのカーボン導入Si層19上に、原料ガスとしてSiH₄、ガスおよびGeH₄、ガスの混合ガスを用いてチャネル層(SiGe層)17を選択的に、例えば基板温度574℃でエピタキシャル成長させる。SiGe層17の膜厚は例えば100Å(10nm)とし、SiGe層17中のGe濃度は例えば原子数比S

i:Ge=3:1となるようにする。
【0042】次にこのSiGe層17上に原料ガスSiH₄、ガスを用いてキャップSi層21を例えば、膜厚50Å(5nm)でエピタキシャル成長させる(図2(B))。

【0043】次に熱酸化によりゲート酸化膜23をキャップSi層21上に例えば50Å(5nm)の膜厚で形成する。その後、既知の技術を用いてポリシリコンを例えば3000Å(300nm)の膜厚でゲート酸化膜23上に堆積させ、このポリシリコン層をパターンニングしてゲート電極25を形成する(図2(C))。

【0044】その後、サイドウォール、主電極領域(ソースおよびドレイン領域)、層間膜、コンタクト、メタル配線、その他所要の処理を行って、SiGe pMOS FETを完成させる。

【0045】以上の方法により作成したSiGe pMOS FETのバッファースi層15中にはカーボンが導入されていないため、アクセプタ不純物であるボロンの活性化率はほぼ100%となり、ボロンは格子位置に収まり、正孔を生成する。このため、FETのしきい値電圧を制御することができ、またSiGe層17のチャネル形成領域を制御することもできる。また、カーボンを導入したSi層19を設けている。このカーボンがゲート酸化膜23の形成時に発生する侵入原子のトラップとして働くため、侵入原子がバッファースi層15にまで拡散されない。このためボロンの増速拡散を防ぐことができる。したがってチャネル領域であるSiGe層17には不純物がいないため、移動度が低下することもない。よってSiGeチャネルの高速性を保つ、すなわちFETの高速動作を保つことができる。また、SiGe層17上にキャップSi層21を設けてあり、これによりゲート酸化時にSiGe層17を酸化することを防ぎ、ゲート酸化膜23中へGeが入り込むのを防ぐことができる。

【0046】<第3の実施の形態>第3の実施の形態として、基板のアクティブ領域上の層構造がバッファースi層とSiGe層とキャップSi層の3層からなっている例を説明する。図3は基板11にアクティブ領域13を形成した後、バッファースi層15、SiGe層17、キャップ層21を順次好適な方法でエピタキシャル成長させ、

12

その後、既知のプロセスを用いてゲート電極25を形成した構造体の断面図である。また、SiGe層17とキャップ層21との界面にカーボン27が導入されている構造体を図3(A)および図3(B)で示し、バッファースi層15とSiGe層17との界面にカーボン27が導入されている構造体を図3(C)および図3(D)で示している。

【0047】図3(A)に示す構造体はSiGe層17とキャップ層21間の界面のキャップ層21側にカーボン27を存在させ、図3(B)に示す構造体はSiGe層17側にカーボン27を存在させている。ただし、図3(A)および図3(B)のいずれの構造体も同等の作用および効果をもち、よってカーボン27はSiGe層17とキャップ層21の両層にまたがって存在してもよい。また、図3(C)に示す構造体はバッファースi層15とSiGe層17との界面のSiGe層17側にカーボン27を存在させ、図3(D)に示す構造体はバッファースi層15側にカーボン27を存在させている。この場合も図3(A)および図3(B)の場合と同様の理由からカーボン27をバッファースi層15とSiGe層17の両層にまたがって存在させてもよい。

【0048】このように用いられているカーボン27も第1および第2の実施の形態と同様に侵入原子のトラップとなり、侵入原子の拡散を防ぐ役割を果たす。また、キャップ層21によってゲート酸化膜23中に不純物が入り込むのを防ぐことができる。

【0049】<第4の実施の形態>第4の実施の形態として、MOSFET自体の構造が上述した実施の形態とは少し異なる例を挙げる。図4はこの装置の製造工程を概略的に表している断面図である。

【0050】まず、第1の実施の形態と同様にして、Si基板11上に、既知の技術を用いてアクティブ領域13を形成する(図4(A))。次に、基板11を熱処理した後、例えばUHV-CVD装置を用いてバッファースi層15をアクティブ領域13上に選択的にエピタキシャル成長させる。この場合、基板温度を例えば574℃とし、またSiH₄、ガスおよびB₂H₆、ガスの混合ガスを原料ガスとして用いる。バッファースi層15の膜厚は例えば100Å(10nm)とし、ボロン濃度は例えば 10^{18} (cm⁻³)とする。

【0051】次にこの例ではSiH₄、ガスおよび、例えばアセチレンガス(アセチレン、メタン、エタン、プロパン、CCl₄、(四塩化炭素)および、CBr₄、(四臭化炭素)の炭素含有ガスから選ばれた1種類の炭素含有ガス)の混合ガスを原料ガスとして用いて、カーボン導入Si層19をバッファースi層15上に選択的に、例えば基板温度574℃でエピタキシャル成長させる。このカーボン導入Si層19の膜厚は例えば100Å(10nm)とし、カーボン濃度は例えば 2×10^{20} (cm⁻³)とする。

【0052】次にこのカーボン導入Si層19上に原料ガスとしてSiH₄ガスを用い、キャップSi層21を例えば、100Å(10nm)の膜厚でエビタキシャル成長させる(図4(B))。

【0053】次に熱酸化によりゲート酸化膜23をキャップSi層21上に例えば100Å(10nm)の膜厚で形成する。その後、既知の技術を用いてポリシリコンを例えば3000Å(300nm)の膜厚でゲート酸化膜23上に堆積させ、このポリシリコン層をパターンニングすることによりゲート電極25を形成する(図4(C))。

【0054】その後、サイドウォール、主電極領域(ソースおよびドレイン領域)、層間膜、コンタクト、メタル配線、その他所要の処理を行って、MOSFETを完成させる。

【0055】以上の方法により作成したMOSFETのバッファースi層15中にはカーボンが導入されていないため、アクセプタ不純物であるボロンの活性化率はほぼ100%となり、ボロンは格子位置に収まり、正孔を生成する。このため、しきい値電圧を制御することができる。また、カーボンを導入したSi層19を設けている。このカーボンがゲート酸化膜23の形成時に発生する侵入原子のトラップとして働くため、侵入原子がバッファースi層15にまで拡散されない。このためボロンの増速拡散を防ぐことができる。また、カーボン導入層19上にキャップSi層21を設けてあり、これによりゲート酸化時にカーボン導入層19を酸化することを防ぎ、ゲート酸化膜23中へカーボンが入り込むのを防ぐことができる。

【0056】<第5の実施の形態>第5の実施の形態として、基板のアクティブ領域上の層構造がバッファースi層およびキャップSi層の2層からなっている例を説明する。図5は基板11にアクティブ領域13を形成した後、バッファースi層15およびキャップ層21を順次好適な方法でエビタキシャル成長させ、その後、既知のプロセスを用いてゲート電極25を形成した構造体の断面図である。また、バッファースi層15とキャップ層21との界面にカーボン27が導入されている構造体を図5(A)および図5(B)で示している。

【0057】図5(A)で示す構造体はバッファースi層15とキャップ層21の界面のキャップ層21側にカーボン27を存在させ、図5(B)の構造体はバッファースi層15側にカーボン27を存在させている。ただし、図5(A)および図5(B)の構造体は同等の作用および効果をもち、よってカーボン27はバッファースi層15とキャップ層21の両層にまたがって存在していてもよいこととする。

【0058】このように用いられているカーボン27も上述した実施の形態と同様に侵入原子のトラップとなり、侵入原子の拡散を防ぐ役割を果たす。また、キャッ

プ層21によってゲート酸化膜23中に不純物が入り込むのを防ぐことができる。

【0059】

【発明の効果】このように、半導体基板上にボロン(B)を不純物として含有するバッファースi層と、このバッファースi層の上側に設けられたチャンネル層と、チャンネル層の上側に設けられていて上面にゲート酸化膜が形成されるべきキャップ層とを具えるMOSFET用の下地において、トラップ原子であるカーボン(C)を含むトラップ層をチャンネル層に隣接させて、介在してあることにより、このカーボン原子がゲート酸化膜形成時にゲート酸化膜とキャップ層との界面に発生し、下層へ拡散するインターstitial原子のトラップとなり、不純物であるボロンが導入されているバッファースi層へのインターstitial原子の拡散を抑えることができる。よってこのインターstitial原子の存在によって引き起こされるボロンのチャンネル層にまでおよぶ増速拡散が抑えられる。したがって、チャンネル層にキャリア移動度が高い材料を用いている場合には、その高速度というチャンネル特性を保ち、したがってFETの高速度動作を担保することができる。

【0060】また、バッファースi層とカーボン導入層とは分離されているためバッファースi層内へカーボンが侵入することはなく、ボロンの活性化率をほぼ100%に保つことができる。このため、十分FETのしきい値電圧を制御することができる。

【0061】また、キャップ層内には不純物を導入していないため、ゲート酸化膜形成時にゲート酸化膜中に不純物が混入し、ゲート酸化膜とその下に位置する層との界面の界面単位が変動し、FETのしきい値電圧を変動させてしまうような事態を避けることができ、いっそうFETのしきい値電圧を制御しやすくなる。

【0062】また、カーボンはカーボン導入層として導入する代わりにバッファースi層とチャンネル層との界面、あるいはチャンネル層とキャップ層との界面に存在させてもよい。

【0063】また、半導体基板上にボロンを不純物として含有するバッファースi層と、このバッファースi層の上側に設けられていて上面にゲート酸化膜が形成されるべきキャップ層とを具えるMOSFET用の下地において、バッファースi層とキャップ層との間にトラップ層としてカーボン導入層を設けてもよい。

【0064】また、バッファースi層とキャップ層との界面にカーボンを存在させてもよい。

【図面の簡単な説明】

【図1】(A)～(C)は第1の実施の形態の説明に供する概略的な工程図である。

【図2】(A)～(C)は第2の実施の形態の説明に供する概略的な工程図である。

【図3】(A)～(D)は第3の実施の形態の説明に供

15

16

する特徴的な概略断面図である。

【図4】(A)～(C)は第4の実施の形態の説明に供する概略的な工程図である。

【図5】(A)および(B)は第5の実施の形態の説明に供する特徴的な概略断面図である。

【符号の説明】

11：(Si)基板

12：分離領域

* 13：アクティブ領域

15：バッファ層(Si)層

17：チャネル層(SiGe層)

19：トラップ層(カーボン導入(Si)層)

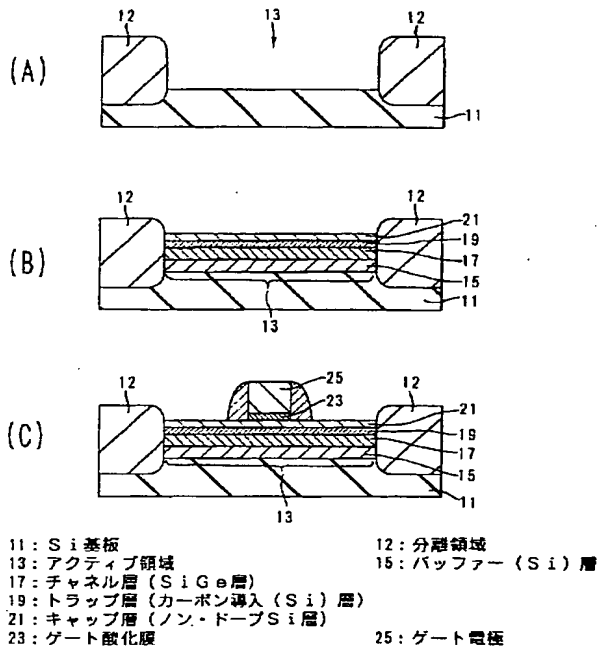
21：キャップ層(ノン・ドーブSi層)

23：ゲート酸化膜

25：ゲート電極

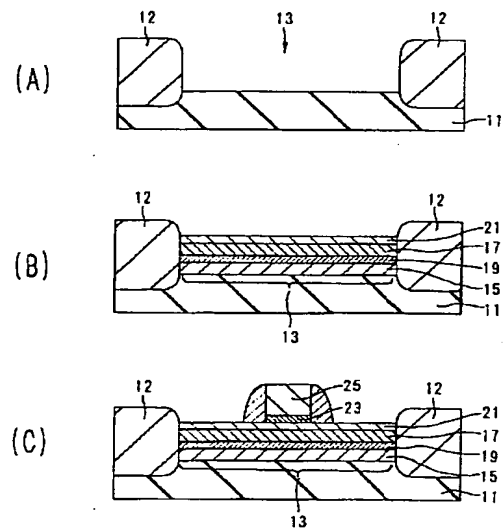
* 27：カーボン

【図1】



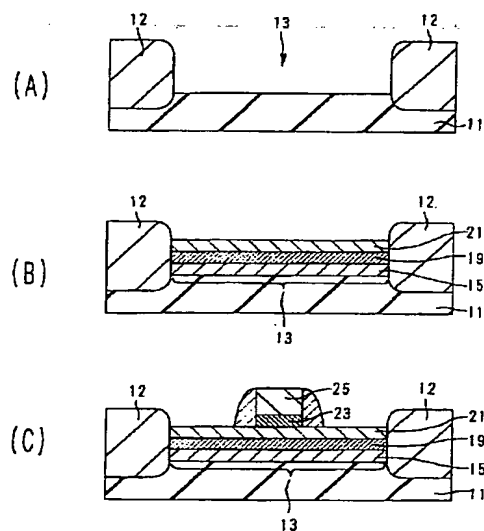
第1の実施の形態

【図2】



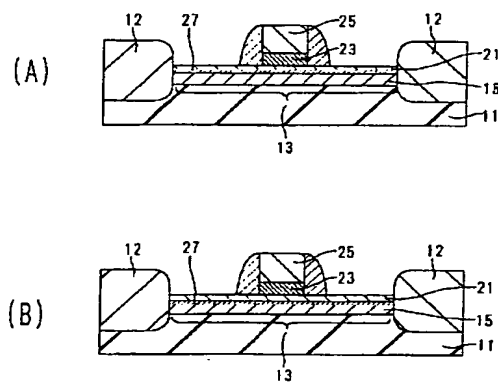
第2の実施の形態

【図4】



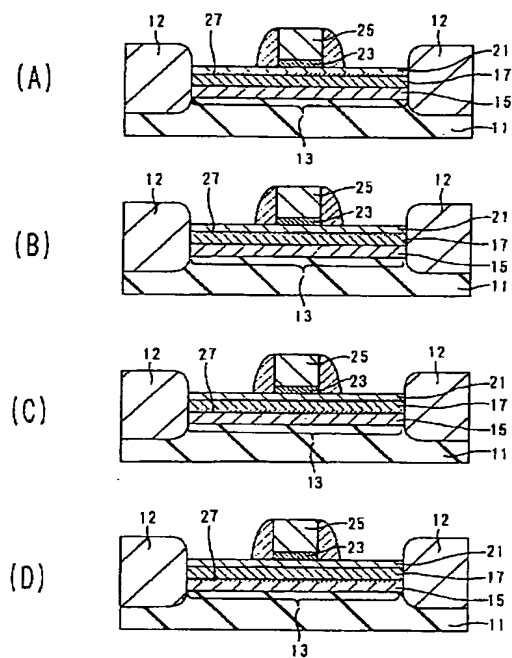
第4の実施の形態

【図5】



第5の実施の形態

【図3】



27: カーボン

第3の実施の形態